

REC'D FBI

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 國際公開日
2004 年 4 月 15 日 (15.04.2004)

PCT

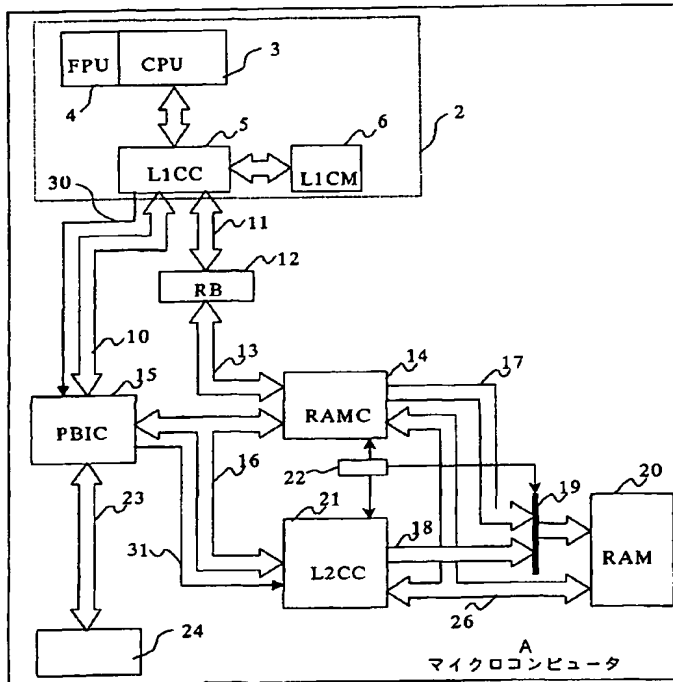
(10) 国際公開番号
WO 2004/031963 A1

- | | | |
|-----------------------------|--|---|
| (51) 国際特許分類 ⁷⁾ : | G06F 12/08, 12/06 | 恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 亀井 達也 (KAMEI, Tatsuya) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 石川 誠 (ISHIKAWA, Makoto) [JP/JP]; 〒185-8601 東京都国分寺市 東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). |
| (21) 国際出願番号: | PCT/JP2002/010162 | |
| (22) 国際出願日: | 2002年9月30日 (30.09.2002) | |
| (25) 国際出願の言語: | 日本語 | |
| (26) 国際公開の言語: | 日本語 | |
| (71) 出願人 (米国を除く全ての指定国について): | 株式会社日立製作所 (HITACHI, LTD) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). | (74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒101-0052 東京都千代田区神田小川町2丁目10番地 新山城ビル42号 Tokyo (JP). |
| (72) 発明者; および | | (81) 指定国 (国内): CN, JP, KR, US. |
| (75) 発明者/出願人 (米国についてのみ): | 近藤 雄樹 (KONDOH, Yuki) [JP/JP]; 〒185-8601 東京都国分寺市 東 | (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR). |

〔統葉有〕

(54) Title: SEMICONDUCTOR DATA PROCESSOR

(54) 発明の名称: 半導体データプロセッサ



A...MICROCOMPUTER

(57) Abstract: A semiconductor data processor includes a first memory (6) constituting a cache memory, a second memory (20) that can be made a cache object or cache non-object by the first memory, and a lead buffer (12) that can output data corresponding to an access when the second memory is lead-accessed as the cache non-object. A sequential access cannot expect increase of access speed by the cache memory. When the second memory which is the cache non-object is sequentially accessed, data corresponding to the sequential access is output from the read buffer, so as to increase the sequential read access speed. Upon this sequential access, no cache operation of the first memory is performed nor the cache entry data held in the first memory is rewritten in undesired way by the sequential access data having a low re-access possibility.

[統葉有]

WO 2004/031963 A1



添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

半導体データプロセッサは、キャッシュメモリを構成する第1メモリ(6)と、前記第1メモリによるキャッシュの対象とされ又はキャッシュの非対象とされることが可能な第2メモリ(20)と、前記第2メモリが前記キャッシュ非対象としてリードアクセスされるときそのアクセスに応ずるデータの出力動作可能にされるリードバッファ(12)とを有する。シーケンシャルアクセスはキャッシュメモリによるアクセス高速化を期待し難い。キャッシュ非対象とされる第2メモリをシーケンシャルアクセスするとき、リードバッファからシーケンシャルアクセスに応答するデータを出力することにより、シーケンシャルリードアクセスを高速化することができる。このシーケンシャルアクセスに際して第1メモリのキャッシュ動作は行なわれず、再アクセスの可能性の低いシーケンシャルアクセスデータによって第1メモリに保有されているキャッシュエントリデータが不所望に書換えられることも無い。

明 細 書

半導体データプロセッサ

5 技術分野

本発明は、オンチップメモリを有するデータプロセッサ、特にそのオンチップメモリのアクセス制御に関し、例えばシングルチップのマイクロコンピュータに適用して有効な技術に関する。

10 背景技術

データプロセッサにおいて、高速なメモリを内蔵することによって性能向上を達成することが行われている。例えば、データプロセッサ内蔵の高速メモリを、外部メモリと同様にCPU（中央処理装置）のアドレス空間に配置して使用することが挙げられる。また、内蔵メモリをキャッシュメモリとして利用し、キャッシュシステムを構成することによって、メモリアccessを高速化することも行われている。前者の例として特開平5-307485号公報があり、後者の例として特開平6-103064号公報がある。

前者の例では、データプロセッサにメモリを内蔵するだけでは性能向上は得られず、動作するプログラムにおいて頻繁に参照されるメモリ領域を予め調査して、その部分をデータプロセッサ内蔵メモリに割り付けることが必要である。要するにデータプロセッサで実行する動作プログラムに応じた内蔵メモリのアドレスマッピングの仕方がデータ処理性能に大きく影響する。

また、後者の例ではプログラムからのメモリアccessの度に、メモリ領域のアクセス頻度を自動的に判断してキャッシュメモリに格納する

ため、頻繁に参照されるメモリ領域を予め調査する必要はないが、アクセス頻度を判定するアルゴリズムに応じて、性能向上が得られないアクセスパターンが存在する。即ち、キャッシュメモリは同じデータが複数回アクセスされる場合にメモリアクセス性能を向上させることができ、

5 直列的に順次走査されるような画像データ等に対してはメモリアクセス性能を逆に低下させる場合がある。例えば、一般的なアルゴリズムでは、あるメモリ領域を開始アドレスから終了アドレスまで1回ずつ、シーケンシャルにメモリアクセス（シーケンシャルアクセス）するプログラムと、様々なアドレスをランダムにアクセス（ランダムアクセス）するプログラムを、時分割にて擬似的に同時に実行する状況においては、

10 性能向上が得られないことがある。

本発明の目的は、内蔵メモリに対するアクセス性能を向上させることが容易な半導体データプロセッサを提供することにある。

本発明の別の目的は、内蔵メモリに対するランダムアクセスの性能を

15 低下させることなくシーケンシャルアクセスを効率化することができる半導体データプロセッサを提供することにある。

本発明の更に別の目的は、内蔵メモリに対するシーケンシャルアクセスとランダムアクセスの双方に対してアクセス性能を向上させることが容易な半導体データプロセッサを提供することにある。

20 本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

発明の開示

〔1〕半導体データプロセッサは、キャッシュメモリを構成する第1メモリと、前記第1メモリによるキャッシュの対象とされ又はキャッシュの非対象とされることが可能な第2メモリと、前記第2メモリが前記キ

25

キャッシュ非対象としてリードアクセスされるときそのアクセスに応ずるデータの出力動作可能にされるリードバッファとを有する。第2メモリに対するキャッシュ対象とキャッシュ非対象の指定は第2メモリがマッピングされるメモリ空間に対するキャッシュ対象又は非対象の指定によって決められる。その指定は例えばデータプロセッサの動作モードにより、或いはコントロールレジスタに対する設定で行うようにしてよい。

シーケンシャルアクセスのようにキャッシュメモリによるアクセス高速化の効果を期待し難い利用形態を想定する。キャッシュ非対象とされる第2メモリをシーケンシャルアクセスするとき、リードバッファからシーケンシャルアクセスに応答するデータを出力することにより、シーケンシャルリードアクセスを高速化することができる。上記シーケンシャルアクセスに際して第1メモリのキャッシュ動作は行なわれず、再アクセスの可能性の低いシーケンシャルアクセスデータによって第1メモリに保有されているキャッシュエントリデータが不所望に書換えられ若しくはリプレースされることもない。これにより、内蔵メモリに対するランダムアクセスの性能を低下させることなくシーケンシャルアクセスを効率化することができる。

本発明の一つの望ましい態様として、前記リードバッファは前記キャッシュ非対象として前記第2メモリがアクセスされたとき所定の当該アクセスデータとアドレスを一時的に保持する。例えば、前記第2メモリがアクセスされたときリードバッファがそのアクセスに応ずるデータを保有していないとき当該アクセスに応ずるデータとアドレスを新たに保持する。保持したデータが第2メモリのリードアクセスに代えてリードバッファから出力されるデータになる。要するに、リードバッファは直前のメモリアccessの内容を含むデータを保持するように動作

され、保持するデータと同じデータのアクセスを検出したときはこれに
応答して、既に保持するデータを第2メモリのアクセスに代えて出力す
る。

5 本発明の一つの望ましい態様として、前記リードバッファはリード要
求の上流側から第1バスに接続され、リード要求下流側から第2バスに
接続される。第2バスは第1バスによる並列アクセスデータビット数以
上の並列ビット数でデータを伝達可能なバスである。シーケンシャルア
クセスされるデータを第2バスを経由してまとめてリードバッファに
蓄えることができる。リードバッファは蓄えたデータを第2メモリへの
10 何回分かのリードアクセスに応答して出力することができる。

本発明の一つの望ましい態様として、前記リードバッファは、前記第
1メモリから前記第2バスを経由して伝達されるリードデータを保持
するデータレジスタと、そのデータのアドレスを保持するアドレスレジ
スタと、アドレスレジスタに保持されたアドレスに一致するアドレスの
15 リード要求に対して前記データレジスタのデータを第1バスに出力さ
せる制御回路とを有する。

本発明の一つの望ましい態様として、前記第1バス及び第2バスはシ
ーケンシャルアクセス専用バスとされる。また、前記キャッシュ対象と
して前記第2メモリをアクセスするとき第1及び第2バスによる径路
20 と異なる径路で前記第1メモリを第2メモリに接続可能にする第3バ
スを有する。周辺バスインタフェースコントローラがある時はこれを前
記第3バスに接続する。シーケンシャルアクセス専用バスとして専用化
される第2バスに対するインタフェース制御は専用化されるが故にイ
ンタフェース制御がシンプルで高速アクセスに好都合である。

25 本発明の一つの望ましい態様として、前記第2バスと第3バスに接続
され、前記第2メモリに対するアクセスインタフェース制御を行う内部

- メモリコントローラを有する。また、前記第 3 バスに、前記第 2 メモリ
を前記第 1 メモリに対する 2 次キャッシュメモリとして制御する 2 次
キャッシュメモリコントローラを有する。前記 2 次キャッシュメモリコ
ントローラは第 1 メモリのキャッシュ無効化を示す信号に応答して第
5 2 メモリをキャッシュ無効化する。1 次キャッシュと 2 次キャッシュの
記憶情報の整合を採るのに便利である。第 2 メモリに対する利用形態よ
りすれば前記内部メモリコントローラと前記 2 次キャッシュメモリコ
ントローラは排他的に動作可能にされればよく、これを制御レジスタで
設定するようにすればよい。
- 10 [2] 半導体データプロセッサは、キャッシュメモリを構成する第 1 メ
モリと、前記第 1 メモリに対して 2 次キャッシュメモリ又はキャッシュ
メモリではないメモリとされることが可能な第 2 メモリと、前記第 2 メ
モリを 2 次キャッシュメモリ又はキャッシュメモリではないメモリの
何れかに選択的に指定する指定手段とを有する。上記した手段によれば、
15 第 2 メモリを 2 次キャッシュメモリとして用いるのがデータ処理上望
ましいとされる場合、或いは第 2 メモリを CPU のアドレス空間に配置
されたメモリとして用いるのがデータ処理上望ましいとされる場合、の
何れに対しても適切に対応することが可能である。したがって、デー
タプロセッサによるデータ処理形態に応じて内蔵第 2 メモリに対するア
20 クセス性能を向上させることが容易である。
- 本発明の一つの望ましい態様として、前記第 2 メモリを前記第 1 メモ
リの 2 次キャッシュメモリとしてアクセスインタフェース制御を行う
2 次キャッシュメモリコントローラを有する。また、前記第 2 メモリに
対しキャッシュメモリではないメモリとしてアクセスインタフェース
25 制御を行う内部メモリコントローラを有する。キャッシュメモリではな
いメモリとされることが選択された第 2 メモリは第 1 メモリによるキ

キャッシュの対象とされ又はキャッシュの非対象とされることが可能であってよい。前記キャッシュ非対象として前記第2メモリがリードアクセスされるときそのアクセスに応ずるデータの出力動作可能にされるリードバッファを有してよい。

5

図面の簡単な説明

第1図は本発明の一例に係るマイクロコンピュータを例示するブロック図である。

第2図はリードバッファの詳細を例示する論理回路図である。

10 第3図はリードバッファを利用しない場合或いはリードバッファがない場合にシーケンシャルアクセス用のインタフェースバスからデータをリードする場合を比較例として示すタイミングチャートである。

第4図はリードバッファを利用してシーケンシャルアクセス用のインタフェースバスからデータをリードする動作を示すタイミングチャートである。

15

第5図はマイクロコンピュータの別の例を示すブロック図である。

発明を実施するための最良の形態

第1図には本発明の一例に係るマイクロコンピュータが例示される。

20 同図に示されるマイクロコンピュータ1は、単結晶シリコンのような1個の半導体基板（半導体チップ）に公知のCMOS集積回路製造技術により形成される。

第1図ではプロセッサコアと内蔵メモリとの間のインタフェース部分が代表的に示される。プロセッサコア2は、例えばCPU（中央処理装置）3、FPU（浮動小数点演算ユニット）4、1次キャッシュメモ
25 リコントローラ（L1CC）5、第1メモリとしての1次キャッシュメ

メモリ (L1CM) 6を有する。CPU 3は命令制御部と実行部から成る。前記命令制御部は、命令をフェッチし、フェッチした命令を解読して、制御信号を生成する。前記実行部は汎用レジスタや算術論理演算器等を有し、その動作が前記制御信号で生成され、フェッチしたオペランド等

5 を用いた演算を行う。FPU 4は、特に制限されないが、CPU 3が浮動小数点命令をフェッチしたとき、CPU 3より浮動小数点演算コマンドを受け取り、CPU 3がアクセスした演算オペランドを受け取って、浮動小数点演算を行う。

前記1次キャッシュメモリ 6は、特に制限されないが、セットアソシ

10 アティブ形態の連想メモリ構造を有する。1次キャッシュメモリコントローラ 5は、キャッシュブルエリア (キャッシュ対象領域) のアクセスがあると、1次キャッシュメモリ 6を連想検索し、キャッシュヒットであれば1次キャッシュメモリ 6をアクセスし、キャッシュミスであれば後述する内部メモリ 20等の下位側のメモリアクセスを行って必要な

15 データや命令を取得し、1次キャッシュメモリ 6に対するキャッシュフィル、必要な場合にはキャッシュエントリのリプレースを制御する。内部メモリ 20は例えばSRAM (スタティック・ランダム・アクセス・メモリ) から成る。

下位側のメモリアクセス等に用いる経路として、1次キャッシュメモリ

20 コントローラ 5には第1バスとしてのシーケンシャルアクセス用インターフェースバス 11、第3バスとしてのランダムアクセス用インターフェースバス 10が接続される。シーケンシャルアクセス用インターフェースバス 11はリードバッファ 12の一方のアクセスポートに接続され、リードバッファ 12の他方のアクセスポートは第2バスとしての

25 インタフェースバス 13に接続される。インタフェースバス 10、11、13はアドレス、データ、及びアクセス制御信号の信号線を含む。

インタフェースバス 1 3 の並列アクセスデータビット数はインタフェースバス 1 1 の並列アクセスデータビット数以上とされる。例えばインタフェースバス 1 3 の並列アクセスデータビット数は 2 5 6 ビット、インタフェースバス 1 1 の並列アクセスデータビット数は 6 4 ビットである。インタフェースバス 1 0 の並列アクセスデータビット数は 6 4 ビットである。

前記リードバッファ 1 2 は、インターフェースバス 1 1 からのアクセス要求がリード、かつアクセス要求アドレスがリードバッファ 1 2 内に格納されているアドレスと一致する場合に、リードバッファ 1 2 が保有するデータを 1 次キャッシュメモリコントローラ 5 に伝える。リード、かつアドレスが一致しない場合は、アクセス要求のデータ幅を置き換えて、例えば 6 4 ビットから 2 5 6 ビットに置き換えて、インタフェースバス 1 3 にインターフェース要求を発行する。また、ライトアクセスの場合はインターフェースバス 1 1 から伝達されるアクセス要求をそのままインターフェースバス 1 3 にインターフェース要求として出力する。

インターフェースバス 1 3 からのアクセス要求は内部メモリコントローラ (R A M C) 1 4 に伝達される。インターフェースバス 1 0 からのアクセス要求は周辺バスインタフェースコントローラ (P B I C) 1 5 に伝達され、そこから、周辺バス 2 3 を介して単数又は複数の周辺回路 2 4 に、第 3 バスとしてのインタフェースバス 1 6 を介して前記内部メモリコントローラ 1 4 に伝えられ、また、2 次キャッシュメモリコントローラ 2 1 にも伝えられる。

内部メモリコントローラ 1 4 は前記内部メモリ 2 0 に対するアクセスインタフェース制御を行う。2 次キャッシュメモリコントローラ 2 1 は前記内部メモリ 2 0 をキャッシュメモリ 6 に対する 2 次キャッシュメモリとして制御する。

周辺バスインタフェースコントローラ 16 は、周辺回路 24 及び内部メモリ 20 に対するアドレスマッピングの情報を有し、インタフェースバス 10 からのアクセス要求が周辺回路に対するものであれば周辺バス 23 にアクセス要求を出力し、内部メモリ 20 に対するものであれば
5 インタフェースバス 15 にアクセス要求を出力する。周辺回路 24 には DMAC (ダイレクト・メモリ・アクセス・コントローラ) 等のバスマスタモジュール、或いはタイマ・カウンタ、シリアルインタフェースなどのバススレーブモジュールを含むことがある。

内部メモリコントローラ 14 は、インターフェースバス 13 からのアクセス要求とインターフェースバス 16 からのアクセス要求とを調停し、バス 17 に内部メモリ 20 に対するアクセス制御信号を出力する。
10 インタフェースバス 13 からのアクセス要求は前記内部メモリ 20 を 1 次キャッシュメモリ 6 によるキャッシュ非対象としてアクセスするときのアクセス要求である。これに対し 10, 16 を介するアクセス要求は前記内部メモリ 20 を 1 次キャッシュメモリ 6 によるキャッシュ
15 対象としてアクセスするときのアクセス要求である。内部メモリ 20 に対するアクセス要求が 1 次キャッシュメモリ 6 のキャッシュ対象であるか否かは 1 次キャッシュメモリコントローラ 5 がアクセスアドレスに基づいて判定する。内部メモリ 20 に対するキャッシュ対象 (キャッ
20 シャブル) とキャッシュ非対象 (ノンキャッシャブル) の指定は内部メモリ 20 がマッピングされるメモリ空間に対するキャッシュ対象又は非対象の指定によって決められる。その指定は例えばマイクロコンピュータ 21 の動作モードにより、或いはコントロールレジスタ (図示せず) に対する設定で行なわれる。

25 また、2 次キャッシュメモリコントローラ 21 はインタフェースバス 16 からのアクセス要求に応答して、当該アクセス要求に含まれるアク

セスアドレスのアドレスタグを2次キャッシュメモリコントローラ21内のキャッシュタグと比較し、キャッシュヒットであれば内部メモリ20をキャッシュメモリとして操作するためのキャッシュエントリ操作のアクセス制御信号をバス18に出力する。

- 5 バス17からのアクセス制御信号とバス18からのアクセス制御信号は、セクタ19によりどちらか一方が内部メモリ20に伝達される。内部メモリ20は伝達されたアクセス制御信号によってアクセスされる。内部メモリ20に対するアクセス動作指示がリードアクセスである場合、内部メモリ20はその読み出しデータをバス26に出力し、内部
- 10 メモリコントローラ14又は2次キャッシュメモリコントローラ21に伝達する。ライト動作の場合には書き込みデータが内部メモリコントローラ14又は2次キャッシュメモリコントローラ21からバス26を介してメモリ20に与えられる。尚、2次キャッシュメモリコントローラ21からバス26を介するメモリ20への書き込み指示は、2次
- 15 キャッシュメモリのリードミスに伴うキャッシュフィル、ライトミスに伴うキャッシュフィル動作等に際して指示される。

- 前記セクタ19による選択は、モード制御レジスタ22の設定値に従って決定される。また、内部メモリコントローラ14と、2次キャッシュメモリコントローラ21も該レジスタ22の設定値に従って動作のオン、オフが決まる。内部メモリコントローラ14の動作が選択される（有効である）場合には、2次キャッシュメモリコントローラ21は動作されず、内部メモリコントローラ14の出力がセクタ19で選択される。逆に2次キャッシュメモリコントローラ21が有効である場合には、内部メモリコントローラ14は動作されず、2次キャッシュ
- 20 メモリコントローラ21の出力がセクタ19で選択される。

内部メモリコントローラ14はインタフェースバス13又は16に

に、アクセス要求に応答する結果を出力する。また、2次キャッシュメモリコントローラ21は、インタフェースバス16に、アクセス要求に応答する結果を出力する。

5 1次キャッシュメモリコントローラ5は1次キャッシュメモリ6に
対す一括無効化が行われたとき、2次キャッシュメモリコントローラ2
1へのキャッシュエントリ一括無効化要求信号30を出力する。この信
号30はCPU3が1次キャッシュメモリ6に対する一括無効化の操
作命令を実行中にプログラムの指示によって生成される。一括無効化要
求信号30は周辺バスインタフェースコントローラ15を介して、一括
10 無効化要求信号31として2次キャッシュメモリコントローラ21に
供給される。2次キャッシュメモリコントローラ21は信号31に応答
して、2次キャッシュメモリコントローラ21内に保有するキャッシュ
タグの全キャッシュエントリの有効ビットを無効化し、内部メモリ20
のキャッシュエントリのクリアを行う。

15 第2図には前記リードバッファ12の詳細が例示される。41～45
はインタフェースバス11を分割して示したものである。41はアクセ
ス要求の種別を示し、リード要求、ライト要求、もしくはアクセス要求
がないこと(NOP)を示す。42はアクセス要求のデータ幅を示し、
1バイト、2バイト、4バイト、8バイト、32バイトの種類がある。
20 43はアクセス要求のアドレスであり、22ビット幅である。44はア
クセス要求がリード要求である場合に、読み出しデータを返す信号であ
り、64ビット幅(8バイト分)である。45はアクセス要求がライト
の時に、ライトデータを渡す信号である。46および47は、アドレス
43の上位17ビット分のアドレス信号である。

25 また、48～50と、43及び45を組み合わせたものが前記バス1
3に対応される。48は41と、49は42と、50は44と同等であ

る。

5 1 は 2 5 6 ビット幅のデータレジスタであり、前回のアクセスのデータを保持する。5 2 は 1 7 ビット幅のアドレスレジスタであり、前回のアクセスのアドレスの上位 1 7 ビット分を保持する。5 3 は、1 ビット
5 のレジスタであり、レジスタ 5 1 およびレジスタ 5 2 に保持されている内容が有効である場合は” 1 ” を、無効である場合は” 0 ” を保持する。

5 4 は比較器であり、信号 4 1 がリード要求である場合に” 1 ” を出力する。5 5 は比較器であり、信号 4 7 とアドレスレジスタ 5 2 に保持
10 されている内容が一致する場合に” 1 ” を出力する。5 6 は NAND (ナンド) ゲートである。NAND ゲート 5 6 の出力は、「信号 4 1 がリード要求、かつ信号 4 7 とレジスタ 5 2 に保持されている内容が一致、かつレジスタ 5 3 が有効を示す” 1 ” である」場合に” 0 ” となる。すな
15 わち、NAND ゲート 5 6 の出力が” 0 ” の場合は、リードバッファ 1 2 のヒットを示す。5 7 は比較器であり、信号 4 1 がライト要求である場合に” 1 ” を出力する。

比較器 5 4 の出力が” 1 ”、すなわち信号 4 1 がリード要求である場合、セクタ 6 0 によって、信号 4 9 の出力は 3 2 バイトのアクセス要求に置き換えられる。比較器 5 4 の出力が” 0 ”、すなわち信号 4 1 が
20 リード要求でない場合には、信号 4 2 の入力そのまま信号 4 9 に出力される。

NAND ゲート 5 6 の出力が” 0 ”、すなわちリードバッファ 1 2 がヒットの場合、セクタ 6 1 によって、信号 4 8 の出力は NOP に置き換えられる。NAND ゲート 5 6 の出力が” 1 ” の場合は、信号 4 1 の
25 出力がそのまま信号 4 8 に出力される。

また、NAND ゲート 5 6 の出力が” 0 ” の場合、セクタ 6 2 によ

って、レジスタ 5 1 の出力がアライナ (ALGN) 6 3 に入力される。
NANDゲート 5 6 の出力が” 1 ”の場合は、信号 5 0 の入力のアライ
ナ 6 3 に入力される。アライナ 6 3 は、信号 4 2 および信号 4 3 の内容
にしたがって、入力データのビット位置の並び替えを行って信号 4 4 に
5 出力する。

レジスタ 5 1 およびレジスタ 5 2 は、NANDゲート 5 6 の出力が”
1 ”の場合に、それぞれ信号 5 0、信号 4 6 の内容を取り込む。5 3 の
保持内容は、比較器 5 7 の出力が” 1 ”の場合には” 0 ”に変化する。
ライトの時もリードバッファミスの場合と同様にレジスタ 5 1 及び 5
10 2 にデータ及びアドレスを入力するからである。また、比較器 5 4 の出
力が” 1 ”、かつNANDゲート 5 6 の出力が” 1 ”の場合には、” 1 ”
に変化する。次のリード動作でレジスタ 5 2 のアドレス比較結果に従っ
てレジスタ 5 1 のデータを利用可能にするためである。

第 3 図はリードバッファ 1 2 を利用しない場合或いはリードバッフ
15 ア 1 2 が無い場合にシーケンシャルアクセス用のインタフェースバス
1 1 からデータをリードする場合のタイミングチャートを比較例とし
て示す。第 4 図はリードバッファ 1 2 を利用してシーケンシャルアクセ
ス用のインタフェースバス 1 1 からデータをリードする場合のタイミ
ングチャートを示す。

20 ここでは、リードバッファ 1 2 とプロセッサコア 2 が同じ周波数で動
作し、リードバッファ 1 2 の動作周波数と、内部メモリ 2 0 の動作周波
数の比を 2 : 1 と想定し、プロセッサコア 2 からのシーケンシャルアクセ
スが 8 バイト (64 ビット) 毎のリードが連続する動作を考えている。

第 3 図において 3 0 1 はプロセッサコア 2 のクロック信号、3 0 2 は
25 内部メモリ 2 0 のクロック信号、3 0 3 はプロセッサコア 2 からの信号
4 1、4 2 によるアクセス要求、3 0 4 は内部メモリ 2 0 からバス 4 4

へのデータ出力、305は内部メモリ20および内部メモリコントローラ14の動作を示している。また、311～320はプロセッサコア2のクロック周期を示している。

321はプロセッサコア2からの8バイトリード要求であり、内部メモリコントローラ14はこの要求に対して312～313の期間に、322に示すようにリード動作を行い、314の期間にリードデータである323を出力する。331～333、341～343、351～353も、321～323と同様の動作であり、321、331、341、351の8バイトリード要求はアドレスが連続している。この場合、最初のリード要求321から、最後のデータ出力353まで、プロセッサコア2のクロックで10サイクルの動作期間が必要である。

第4図のリードバッファ12を設けた場合のタイミングチャートにおいて、401、402、403は301、302、303と同様である。404はリードバッファのヒット信号であり、第2図のNANDゲート56の出力に相当する。405はリードバッファ12からバス44へのデータ出力であり、406は内部メモリ20および内部メモリコントローラ14の動作を示す。また、411～417はプロセッサコア2のクロック周期を示している。

421はプロセッサコア2からの8バイトリード要求である。これに対応する内蔵メモリの動作は422であるが、この動作はリードバッファ12にて要求の置き換えを行っており、8バイトリードではなく32バイトリードである。423はプロセッサコア2へのデータ出力であり、422の動作終了後414の期間に行われる。また、414の期間に2回目の8バイトリード要求である431がプロセッサコア2から発行されるが、1回目のリード要求421の際に32バイトリードを行っているため、リードバッファ12にヒットし、404の信号(NANDゲ

ート56の出力信号)が“1”から“0”に変化する。431に対するデータ出力433は、期間415に行われる。3回目、4回目の8バイトリード要求である441、451に対してもリードバッファ12がヒットするため、それぞれ期間416、417にデータ出力443、453が行われる。

第5図にはマイクロコンピュータの別の例が示される。第5図に示されるマイクロコンピュータ33は、第1図の周辺バスインタフェースコントローラ15が省略され、プロセッサコア2は第3バスとしてのインタフェースバス34を介して直接前記内部メモリコントローラ14と2次キャッシュメモリコントローラ21に接続される。また、1次キャッシュメモリコントローラ5から出力される2次キャッシュメモリコントローラ21への一括無効化要求を示す信号30がそのまま2次キャッシュメモリコントローラ21に供給される。その他の第1図と同じ構成にはそれと同一符号を付してその詳細な説明を省略する。

第1図と第5図の構成の相違について比較する。第1図の例では周辺バスインタフェースコントローラ15は1次キャッシュメモリコントローラ5からのアクセス要求に対して、その要求先をアドレスから判定し、判定したアクセス要求先に対して必要なアクセス制御信号を出力する。或はDMAC等のバスマスタモジュールを構成する周辺回路24からのデータ転送要求に対しても同様にその要求先をアドレスから判定し、判定したアクセス要求先に対して必要なアクセス制御信号を出力する。したがって、インタフェースバス10、16は特定のメモリや周辺回路にに対する専用バスにはならない。これに対してインタフェースバス11、13はシーケンシャルアクセス専用バスとされる。したがって、メモリコントローラ14経由で同じ内部メモリ20をアクセスするためのアクセス径路をシーケンシャルアクセスとランダムアクセスで分

けた構成を採用すれば、シーケンシャルアクセス用径路を専用化でき、特定のインタフェースプロトコルを実現すればよく、その他のメモリや周辺回路との汎用利用を考慮しなくてもよい。分だけ、シーケンシャルアクセスのためのインタフェース動作の高速化を図るのに好都合である。第5図の構成ではインタフェースバス34には周辺バスインタフェースコントローラ15が配置されていないが、メモリコントローラ14と2次キャッシュメモリコントローラ21の双方に接続されるという意味で、双方の回路の入力容量の点でバス34の駆動負荷が比較的大きくなる。周辺バスインタフェースコントローラ15が配置されていない場合にも、その点で、シーケンシャルアクセスのためのバスをバス11, 13によって専用化すりうことは、シーケンシャルアクセス動作の高速化を図るのに好都合である。

また、第1図の構成では、レジスタ22の設定により内部メモリ20を有効としている場合に、プロセッサコア2で実行中のプログラムが、シーケンシャルアクセス用のインターフェースバス11, 13を通じて内部メモリ20をアクセスしながら、周辺バス（プロセッサバス）23側からの内部メモリアクセス要求もランダムアクセス用のインターフェースバス16を通じて受け付けることができる。

以上説明したマイクロコンピュータによれば、画像データや音楽データなど、内部メモリ20へのシーケンシャルアクセスが存在するプログラムでは、通常メモリモード（内部メモリコントローラ14を有効にする動作モード）を用いる。特に、シーケンシャルアクセス用のリードバッファ12による性能向上が期待できる。また、リードバッファ12は回路量が少なく、内部メモリ20よりも高い周波数での動作が期待できる。第1図に基づいて説明したように、リードバッファ12とプロセッサコア2が同じ周波数で動作し、リードバッファ12の動作周波数と、

内部メモリ 20 の動作周波数の比を 2 : 1 である場合には、リードバッファ 12 が無い場合に最初のリード要求から最後のデータ出力まで、プロセッサコア 2 のクロックで 10 サイクル必要であるのに対し、リードバッファ 12 を設けた場合、7 サイクルに短縮され、性能を向上できる。

5 また、内部メモリ 20 のアクセス回数も 4 回から 1 回に減少する。

上記シーケンシャルアクセスに際して 1 次キャッシュメモリ 6 のキャッシュ動作は行なわれず、再アクセスの可能性の低い画像データなどのシーケンシャルアクセスデータによって 1 次キャッシュメモリ 6 に保有されているキャッシュエントリデータ不所望に書換えられること

10 も無い。

また、内部メモリの制御を通常メモリモードと 2 次キャッシュモード (2 次キャッシュメモリコントローラ 21 を有効にする動作モード) に切り替えることが可能であるから、プログラムの処理内容に応じて最適な形態で内部メモリ 20 を活用することが可能になり、データ処理性能の向上に寄与する。メモリ 20 へのランダムアクセスが多いプログラムでは、2 次キャッシュモードを活用することにより、1 次キャッシュミスのペナルティを減らすことができ、データ処理性能の向上に寄与する。

以上、本発明を具体的に説明したが、本発明はそれに限定されず、その要旨を逸脱しない範囲で種々の変形が可能である。例えば、プロセッサコアには論理アドレスを物理アドレスに変換するメモリ管理ユニットを設けてもよい。1 次キャッシュメモリはデータと命令でそれぞれ別々に設けてもよい。その場合にリードバッファに接続されるのは専らデータキャッシュメモリに限定しても良い。また、1 次キャッシュメモリコントローラ 5 から出力される 2 次キャッシュメモリコントローラ 21 への一括無効化要求は個別信号で指示する場合に限定されずインタフェースバスを介してコマンドで指示を与えるようにしてもよい。第

1 図及び第 5 図の例ではマイクロコンピュータの外部とインタフェースされる外部入出力回路について図示を省略してあるが、実際には外部入出力回路が設けられていることは言うまでも無い。

5 産業上の利用可能性

本発明は、マイクロコンピュータ、マイクロプロセッサ、更にはそれを利用する電子回路に広く適用することができる。

請 求 の 範 囲

1. キャッシュメモリを構成する第1メモリと、前記第1メモリによる
キャッシュの対象とされ又はキャッシュの非対象とされることが可能
5 な第2メモリと、前記第2メモリが前記キャッシュ非対象としてリード
アクセスされるときそのアクセスに応ずるデータの出力動作可能にさ
れるリードバッファと、を有することを特徴とする半導体データプロセ
ッサ。
2. 前記リードバッファは前記キャッシュ非対象として前記第2メモリ
10 がアクセスされたとき所定のアクセスデータとアドレスを一時的に保
持することを特徴とする請求の範囲第1項記載の半導体データプロセ
ッサ。
3. 前記リードバッファはリード要求の上流側から第1バスに接続され、
リード要求下流側から第2バスに接続され、前記第2バスは第1バスに
15 よる並列アクセスデータビット数以上の並列ビット数でデータを伝達
可能なバスであることを特徴とする請求の範囲第2項記載の半導体デ
ータプロセッサ。
4. 前記リードバッファは、前記第1メモリから前記第2バスを経由し
て伝達されるリードデータを保持するデータレジスタと、そのデータの
20 アドレスを保持するアドレスレジスタと、アドレスレジスタに保持され
たアドレスに一致するアドレスのリード要求に対して前記データレジ
スタのデータを第1バスに出力させる制御回路とを有することを特徴
とする請求の範囲第3項記載の半導体データプロセッサ。
5. 前記第1バス及び第2バスはシーケンシャルアクセス専用バスとさ
25 れる請求項1記載の半導体データプロセッサ。
6. 前記キャッシュ対象として前記第2メモリをアクセスするとき第1

及び第 2 バスによる径路と異なる径路で前記第 1 メモリを第 2 メモリに接続可能にする第 3 バスを有することを特徴とする請求の範囲第 5 項記載の半導体データプロセッサ。

5 7. 前記第 3 バスに、周辺バスインタフェースコントローラ接続されることを特徴とする請求項 6 記載の半導体データプロセッサ。

8. 前記第 2 バスと第 3 バスに接続され、前記第 2 メモリに対するアクセスインタフェース制御を行う内部メモリコントローラを有することを特徴とする請求の範囲第 6 項記載の半導体データプロセッサ。

10 9. 前記第 3 バスに、前記第 2 メモリを前記第 1 メモリに対する 2 次キャッシュメモリとして制御する 2 次キャッシュメモリコントローラを有することを特徴とする請求の範囲第 8 項記載の半導体データプロセッサ。

15 10. 前記 2 次キャッシュメモリコントローラは第 1 メモリのキャッシュ無効化を示す信号に応答して第 2 メモリをキャッシュ無効化することを特徴とする請求の範囲第 9 項記載の半導体データプロセッサ。

11. 前記内部メモリコントローラと前記 2 次キャッシュメモリコントローラを排他的に動作可能に設定する制御レジスタを有することを特徴とする請求の範囲第 9 項記載の半導体データプロセッサ。

20 12. キャッシュメモリを構成する第 1 メモリと、前記第 1 メモリに対して 2 次キャッシュメモリ又はキャッシュメモリではないメモリとされることが可能な第 2 メモリと、前記第 2 メモリを 2 次キャッシュメモリ又はキャッシュメモリではないメモリの何れかに選択的に指定する指定手段と、を有することを特徴とする半導体データプロセッサ。

25 13. 前記第 2 メモリを前記第 1 メモリの 2 次キャッシュメモリとしてアクセスインタフェース制御を行う 2 次キャッシュメモリコントローラを有することを特徴とする請求の範囲第 12 項記載の半導体データ

プロセッサ。

14. 前記第2メモリに対しキャッシュメモリではないメモリとしてアクセスインタフェース制御を行う内部メモリコントローラを有することを特徴とする請求の範囲第13項記載の半導体データプロセッサ。

- 5 15. 前記指定手段はコントロールレジスタであることを特徴とする請求の範囲第14項記載の半導体データプロセッサ。

16. キャッシュメモリではないメモリとされることが選択された第2メモリは第1メモリによるキャッシュの対象とされ又はキャッシュの非対象とされることが可能であることを特徴とする請求の範囲第15

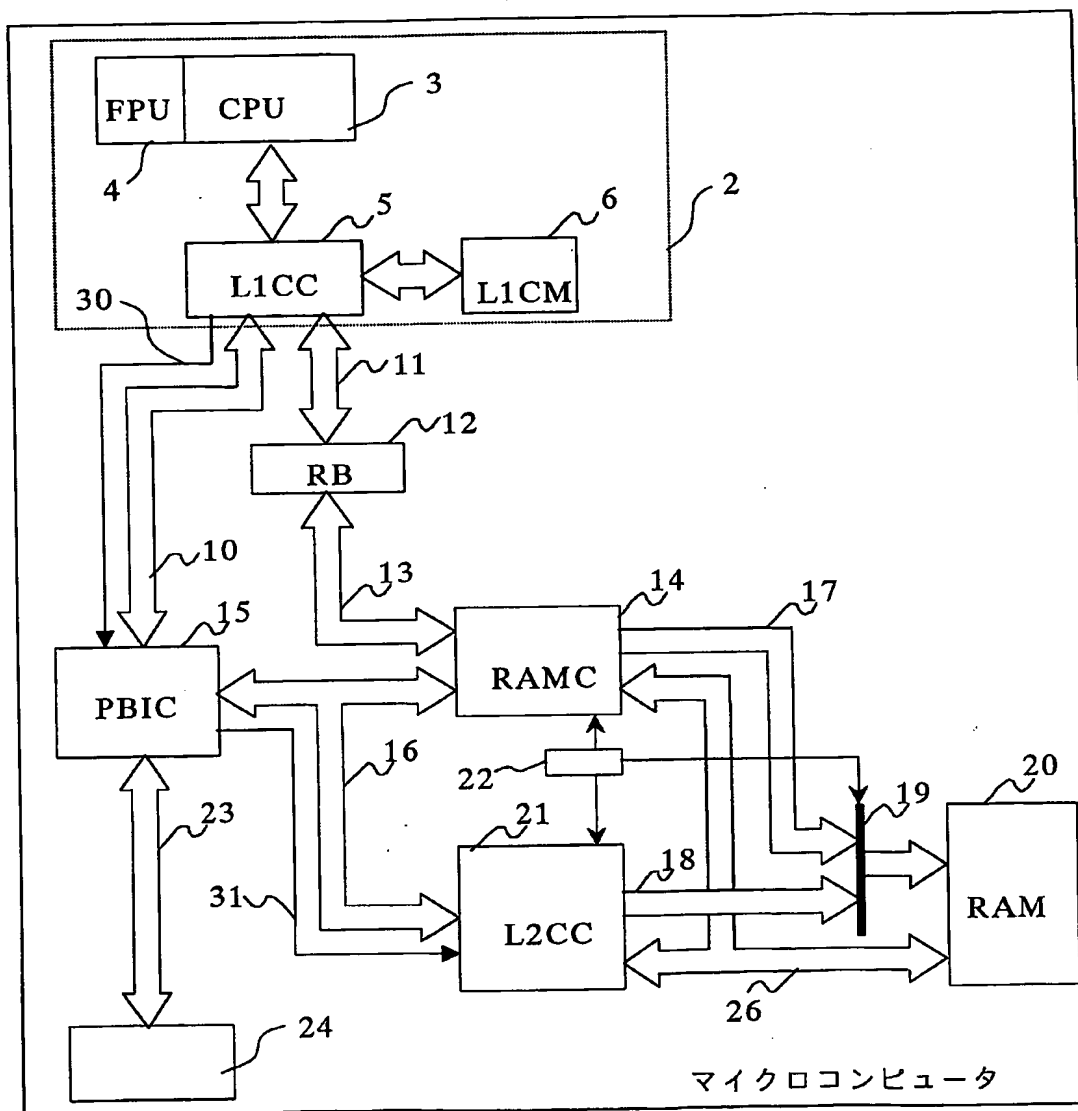
- 10 項記載の半導体データプロセッサ。

17. 前記キャッシュ非対象として前記第2メモリがリードアクセスされるときそのアクセスに応ずるデータの出力動作可能にされるリードバッファを有することを特徴とする請求の範囲第16項記載の半導体データプロセッサ。

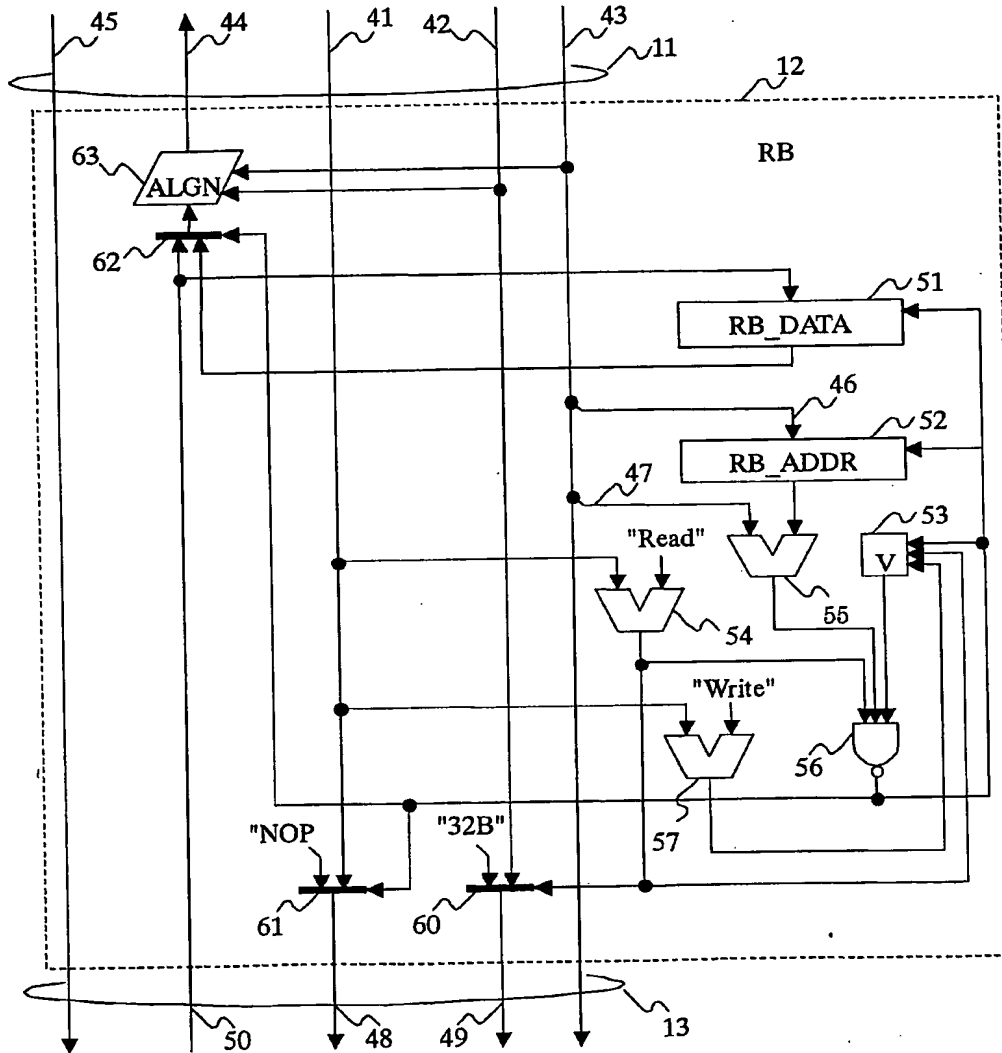
- 15 18. 前記リードバッファは前記キャッシュ非対象として前記第2メモリがアクセスされるときそのアクセスに応ずるデータを保有していないとき当該アクセスに応ずるデータとアドレスを新たに保持することを特徴とする請求の範囲第17項記載の半導体データプロセッサ。

- 20 19. 前記リードバッファはリード要求の上流側から第1バスに接続され、リード要求下流側から前記第1バスよりもバス幅の広い第2バスに接続されることを特徴とする請求の範囲第18項記載の半導体データプロセッサ。

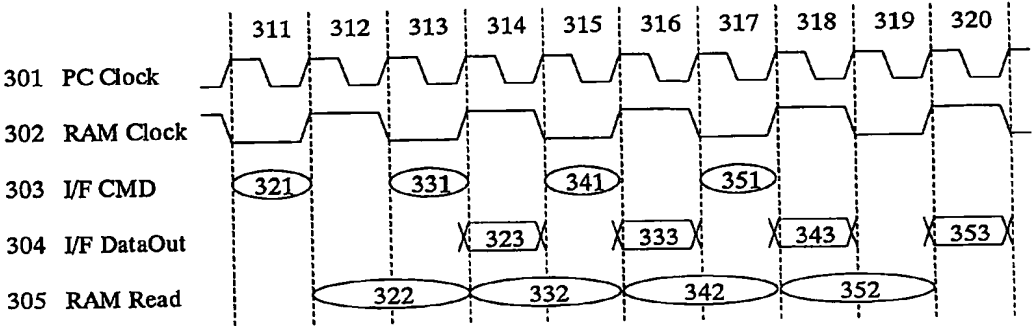
第 1 図



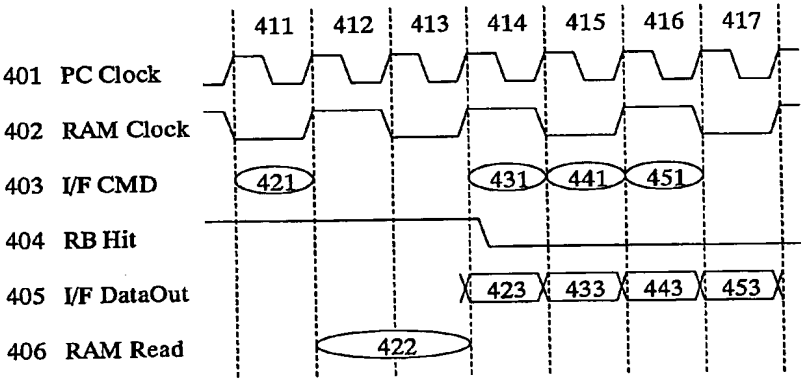
第 2 図



第 3 図



第 4 図



第 5 図

